

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-092824

(43) Date of publication of application : 31.03.2000

(51)Int.Cl.

H02M 3/155

(21) Application number : 10-257102

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 10.09.1998

(72)Inventor : SAKIYAMA SHIRO

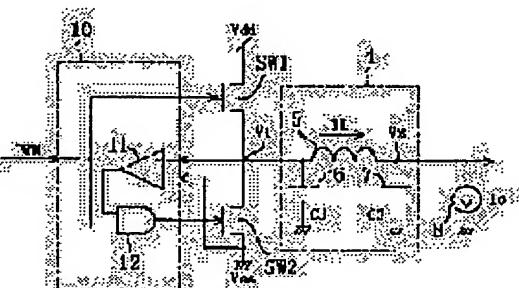
KAJIWARA JUN  
KINOSHITA MASAYOSHI  
SATOMI KATSUJI  
YAMAMOTO HIROO  
YAMAMOTO AKIRA  
NAKAHIRA HIROYUKI

## (54) SWITCHING REGULATOR AND LSI SYSTEM

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a switching regulator that achieves high efficiency of power conversion for the wide range of load currents.

**SOLUTION:** Switches SW1, SW2 are provided in series between a power supply Vdd and a power supply Vss. A switch controlling part 10 turns off the switch SW2 forcibly when the switch SW2 is in an on-state, if the electric potential at a node V1 exceeds the electric potential Vss. Specifically, the direction of the current  $I_L$  which flows in a smoothing circuit 4 is detected with the electric potential of the node V1 so that the current  $I_L$  is prevented from flowing to the reverse direction eventually to the power supply Vss and the degradation of the power conversion efficiency is prevented. This structure allows intermittent mode operations without providing a resistor inside the smoothing circuit 4. As a result, the power conversion efficiency for a small load current can be improved without increasing DC power loss for a large load current.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**BEST AVAILABLE COPY**

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The 1st and 2nd switches which are the switching regulator of a synchronous detection method, were formed between the 1st power source which supplies the 1st potential, and the 2nd power source which supplies the 2nd potential lower than said 1st potential, and have been arranged mutually at the serial, The switch control section which controls turning on and off of said 1st and 2nd switches according to a control signal, It has the smoothing circuit which graduates the potential of the output node between said 1st switch and said 2nd switch. Said switch control section The switching regulator constituted so that said 2nd switch may be made into an OFF state when said 2nd switch is being made into the ON state according to directions of said control signal and the potential of said output node is over the 1st predetermined potential.

[Claim 2] It is the switching regulator characterized by said 1st predetermined potential being potential almost equal to said 2nd potential in a switching regulator according to claim 1.

[Claim 3] It is the switching regulator characterized by being constituted so that said 1st switch may be made into an ON state when said switch control section makes said 1st switch the OFF state in the switching regulator according to claim 1 according to directions of said control signal and the potential of said output node is over the 2nd predetermined potential.

[Claim 4] It is the switching regulator characterized by said 2nd predetermined potential being potential almost equal to said 1st potential in a switching regulator according to claim 3.

[Claim 5] The 1st and 2nd switches which are the switching regulator of a synchronous detection method, were formed between the 1st power source which supplies the 1st potential, and the 2nd power source which supplies the 2nd potential lower than said 1st potential, and have been arranged mutually at the serial, The switch control section which controls turning on and off of said 1st and 2nd switches according to a control signal, It has the smoothing circuit which graduates the potential of the output node between said 1st switch and said 2nd switch. Said switch control section The switching regulator constituted so that said 1st switch may be made into an ON state when said 1st switch is being made into the OFF state according to directions of said control signal and the potential of said output node is over predetermined potential.

[Claim 6] It is the switching regulator characterized by said predetermined potential being potential almost equal to said 1st potential in a switching regulator according to claim 5.

[Claim 7] It is the switching regulator characterized by said 1st and 2nd switches being constituted by the transistor in a switching regulator according to claim 1 or 5.

[Claim 8] The LSI system equipped with a switching regulator according to claim 1 or 5 and the LSI core section which operates with the electrical potential difference supplied from said switching regulator.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the control and the configuration for making actuation possible at high power conversion effectiveness over the range of the large load current especially about a switching regulator.

#### [0002]

[Description of the Prior Art] Drawing 8 is drawing showing the general configuration of the switching regulator of the synchronous detection method of a pressure-lowering mold. Generally the switching regulator shown in drawing 8 is called an "PWM pressure-lowering mold switching regulator." That is, feedback control is applied by the PWM (Pulse Width modulation : pulse width modulation) signal PWM so that the potential of a node V2 may be in agreement with target potential. The switch control section 50 makes either of the 1st and 2nd switches SW1 and SW2 turn on according to the PWM signal PWM. When the PWM signal PWM is "L", the 1st switch SW1 is made to turn on, and the 2nd switch SW2 is made to turn on here at the time of "H". Thereby, a rectangle-like output wave appears in a node V1, and the output wave of this node V1 is graduated by the smoothing circuit 4 constituted by LC. The graduated potential is supplied to a load circuit 8 from a node V2.

[0003] The PWM signal PWM is a signal as the final result of feedback control which was made to turn on the 1st switch SW1 when the potential of a node V2 was lower than target potential, and was generated so that the 2nd switch SW2 might be made to turn on, when high. Although there are many methods in such feedback control, since there is no direct relation to the essence of this invention, the detailed explanation is omitted on this application specifications. Of course, feedforward control may be used instead of feedback control.

[0004] Drawing 9 is a timing chart which shows the actuation of a switching regulator shown in drawing 8. Among this drawing, as for (b), (a) shows actuation when the load current  $I_o$  is small, when the load current  $I_o$  is large. As shown in drawing 9, when the 1st switch SW1 turns on, the potential of a node V1 turns into potential  $V_{dd}$  mostly, and on the other hand, when the 2nd switch SW2 turns on, the potential of a node V1 turns into potential  $V_{ss}$  mostly. Although the potential of a node V1 has shifted from potentials  $V_{dd}$  and  $V_{ss}$  in drawing 9, this is because the on resistance of the 1st and 2nd switches SW1 and SW2 is not zero, so fall of potential arises.

[0005] The power conversion effectiveness  $\eta$  of a switching regulator can be expressed like a formula (1).

$$\eta = (\text{Ave}(V2) \times I_o) / (V_{dd} \times I_i) \quad (1)$$

Here, Ave (V2) is the average output voltage of a node V2, and  $I_i$  is an input current. If each component is ideal, it is  $\text{Ave}(V2) \times I_o = V_{dd} \times I_i$ . — (2)

A next door and the power conversion effectiveness  $\eta$  become 100%. However, in an actual circuit, since power is lost by various resistance components like the on resistance of a switching transistor, parasitism resistance of a coil, wiring resistance, or the equivalent series resistance of a capacitor, the power conversion effectiveness  $\eta$  becomes lower than 100%. In addition, although the power loss for driving the gate capacitance of a switching transistor besides loss by the resistance component, the

substrate current loss by switching of a switching transistor, etc. exist, it shall not take into consideration here.

[0006] If loss by the resistance component is set to Ross, the power conversion effectiveness  $\eta$  will become like a formula (3).

$$\eta = (\text{Ave}(V2) \times I_o) / (\text{Ave}(V2) \times I_o + \text{Ross}) \quad \text{--- (3)}$$

And the loss Ross of a resistance component can roughly be divided into the direct-current power loss RossD and the alternating current power loss RossA, and as shown in a formula (4) and (5), it can be expressed, respectively.

$$\text{RossD} = \text{Ave}(I_o) \times \text{Ave}(I_o) \times R \quad \text{--- (4)}$$

$\text{RossA} = \text{delta} I \times \text{delta} I \times R / 12 \quad \text{--- (5)}$  Here, Ave ( $I_o$ ) expresses the sum of the total resistance component to which an average load current and  $\Delta I$  exist in a maximum current ripple, and  $R$  exists on current pass. Although Loss Ross will become zero and the power conversion effectiveness  $\eta$  will become 100% if the resistance component  $R$  is zero, in fact, the value of the resistance component  $R$  is 0.5ohms – about 1ohm, and this causes power conversion degradation.

[0007] As shown in a formula (4), the direct-current power loss RossD becomes so large that the load current  $I_o$  is large. Moreover, since it is fixed, as the value of maximum current ripple  $\Delta I$  not based on the magnitude of the load current  $I_o$ , but it shown in a formula (5), it does not depend for the alternating current power loss RossA on the magnitude of the load current  $I_o$ .

[0008] Formula (3) As for the power conversion effectiveness  $\eta$  of a switching regulator, – (5) shows that change according to the magnitude of the load current  $I_o$ , and the point \*\*\*\*\* optimum point of the load current  $I_o$  when the power conversion effectiveness  $\eta$  becomes the highest exists. The power conversion effectiveness  $\eta$  of a switching regulator will deteriorate if it puts in another way as the load current  $I_o$  will become small from the optimum point, or as it becomes large.

[0009]

[Problem(s) to be Solved by the Invention] However, it is desirable that high power conversion effectiveness is maintainable to the wide range load current as a switching regulator. The switching regulator which can maintain the power conversion effectiveness which is extent which has also been the case that the load current is especially small in a semiconductor integrated circuit is needed.

[0010] The configuration as shown in drawing 10 is already proposed to such needs (B. "Smart Power ICs" pp 334–336 besides Murari, Springer, 1995). With the configuration of drawing 10, resistance 9 is inserted among the nodes V2 and V3 of smoothing circuit 4A in order to detect the sense of the current  $I_L$  which flows in a coil 5. That is, the potential of the both ends of resistance 9, i.e., the potential of nodes V2 and V3, is compared, when the potential of a node V3 is higher than the potential of a node V2, it judges with the sense of the current  $I_L$  of a coil 5 being facing the right, and when the potential of a node V3 is lower than the potential of a node V2, it judges with the sense of the current  $I_L$  of a coil 5 being facing the left.

[0011] The switch control section 60 is equipped with the comparator 61 which compares the potential of the both ends of resistance 9; and AND circuit 62 which considers the output of a comparator 61, and the PWM signal PWM as an input, and outputs the output signal of AND circuit 62 as a control signal of the 2nd switch SW2. That is, the switch control section 60 performs the following control. The PWM signal PWM makes the 2nd switch SW2 turn on during the period of "H". However, when the potential of a node V3 is lower than the potential of a node V2, the 2nd switch SW2 is turned off compulsorily. By taking such a control approach, power conversion effectiveness when the load current is small improves sharply for the following reasons.

1. Since  $\Delta I$  becomes small, alternating current power loss becomes small.

[0012] 2. Since Current  $I_L$  does not flow into a power source  $V_{ss}$ , the time amount by which the charge which charged the capacitor 7 at the "on" period of the 1st switch SW1 is consumed as the load current  $I_o$  becomes long as compared with the configuration of drawing 8.

[0013] Power loss for driving AC loss in a reason 1 and driving the gate capacitance of a switching transistor in a reason 2 can be lessened, and power conversion effectiveness when the load current  $I_o$  is small is made to both improve. When the load current  $I_o$  is large, since the sense of the current  $I_L$  of a coil 5 always becomes rightward, actuation of the switching regulator of drawing 10 becomes equal to actuation of the switching regulator of drawing 8.

[0014] Drawing 11 is a timing chart which shows actuation when the load current  $I_o$  of the switching regulator shown in drawing 10 is small. With the configuration of drawing 8, the condition of saying that neither of the 1st and 2nd switches SW1 and SW2 is turned on exists by the configuration of drawing 10 to either of the 1st and 2nd switches SW1 and SW2 having surely turned on so that it may turn out that drawing 11 is compared with drawing 9 (b). Since the switch control section 60 shown in drawing 10 turns off the 2nd switch SW2 compulsorily while the current  $I_L$  of a coil 5 is flowing leftward, when the 2nd switch SW2 turns on, the 1st and 2nd switches SW1 and SW2 are all turned off after it. At this time, the potential of a node V1 vibrates with the resonance frequency determined with a coil 5 and parasitic capacitance 6. Moreover, the current  $I_L$  which flows in the coil at that time vibrates considering zero current as a core.

[0015] In a switching regulator, actuation when the load current  $I_o$  is small to intermittence mode, a call, and drawing 9 is large is called continuous mode. A configuration like drawing 10 having continuous mode and intermittence mode is used widely.

[0016] However, there are the following faults with the configuration of drawing 10.

[0017] First, components mark increase. The technique which accumulates a coil and a mass capacitor is not established in current semiconductor technology. For this reason, when it constitutes the switching regulator of drawing 10, it is necessary to form a coil 5 and a capacitor 7 as external components of a semiconductor integrated circuit. For this reason, resistance 9 must also be formed as external components and components mark will increase as compared with the configuration of drawing 8.

[0018] Moreover, since resistance 9 is formed in smoothing circuit 4A, degradation of power conversion effectiveness when the load current is large will be caused. That is, the resistance R1 of resistance 9 is added to the original parasitism resistance, becomes the factor which increases direct-current power loss when the load current is large, and makes power conversion effectiveness deteriorate.

[0019] Let it be a technical problem to improve power conversion effectiveness when the load current is small without increasing direct-current power loss when the load current is large, without this invention causing increase of components mark as a switching regulator in view of the aforementioned problem.

[0020]

[Means for Solving the Problem] In order to solve the aforementioned technical problem, the solution means which invention of claim 1 provided The 1st and 2nd switches which were formed as a switching regulator of a synchronous detection method between the 1st power source which supplies the 1st potential, and the 2nd power source which supplies the 2nd potential lower than said 1st potential; and, have been arranged mutually at the serial. The switch control section which controls turning on and off of said 1st and 2nd switches according to a control signal. It has the smoothing circuit which graduates the potential of the output node between said 1st switch and said 2nd switch. Said switch control section When said 2nd switch is being made into the ON state according to directions of said control signal and the potential of said output node is over the 1st predetermined potential, it is constituted so that said 2nd switch may be made into an OFF state.

[0021] The 2nd switch is turned off, when according to invention of claim 1 the 2nd switch is an ON state and the potential of an output node is over the 1st predetermined potential. That is, the sense of the current which flows a smoothing circuit is detected with the potential of an output node, and it prevents for the 2nd switch that the current which flows a smoothing circuit flows to an output node side, and flows into the 2nd power source by making it an OFF state. Thereby, intermittence mode

actuation can be realized without preparing resistance in a smoothing circuit. Therefore, power conversion effectiveness when the load current is small can be improved without increasing direct-current power loss when the load current is large, without causing increase of components mark.

[0022] And let 1st predetermined potential in the switching regulator of said claim 1 be potential almost equal to said 2nd potential in invention of claim 2.

[0023] Moreover, when said 1st switch is being made into the OFF state according to directions of said control signal and the potential of said output node is over the 2nd predetermined potential, the switch control section in the switching regulator of said claim 1 shall consist of invention of claim 3 so that said 1st switch may be made into an ON state.

[0024] The 1st switch is turned on, when according to invention of claim 3 the 1st switch is an OFF state and the potential of an output node is over the 2nd predetermined potential. That is, the potential of an output node becomes high too much, when there is a possibility that a charge may flow into the 1st power source through the 1st switch in an OFF state, the 1st switch is made into an ON state and the resistance of the 1st switch is made small. Thereby, the power loss by the 1st switch of an OFF state when the potential of an output node becomes high too much can be prevented.

[0025] And let 2nd predetermined potential in the switching regulator of said claim 3 be potential almost equal to said 1st potential in invention of claim 4.

[0026] The solution means which invention of claim 5 provided moreover, as a switching regulator of a synchronous detection method The 1st and 2nd switches which were formed between the 1st power source which supplies the 1st potential, and the 2nd power source which supplies the 2nd potential lower than said 1st potential, and have been arranged mutually at the serial, The switch control section which controls turning on and off of said 1st and 2nd switches according to a control signal, It has the smoothing circuit which graduates the potential of the output node between said 1st switch and said 2nd switch. Said switch control section When said 1st switch is being made into the OFF state according to directions of said control signal and the potential of said output node exceeds the 2nd predetermined potential, it is constituted so that said 1st switch may be made into an ON state.

[0027] And let 2nd predetermined potential in the switching regulator of said claim 5 be potential almost equal to said 1st potential in invention of claim 6.

[0028] Moreover, the 1st and 2nd switches in the switching regulator of said claims 1 or 5 shall be constituted from invention of claim 7 by the transistor.

[0029] Furthermore, invention of claim 8 is equipped with the switching regulator of said claims 1 or 5, and the LSI core section which operates with the electrical potential difference supplied from said switching regulator as an LSI system.

[0030]

[Embodiment of the Invention] (1st operation gestalt) Drawing 1 is drawing showing the configuration of the switching regulator concerning the 1st operation gestalt of this invention. In drawing 1, the same sign as drawing 8 is given to the conventional switching regulator shown in drawing 8, and the common component.

[0031] In drawing 1, the 1st switch with which SW1 consists of a PMOS transistor, the 2nd switch with which SW2 consists of an NMOS transistor, the switch control section by which 10 controls the 1st and 2nd switches SW1 and SW2 according to the PWM signal PWM as a control signal, and 4 are smoothing circuits which graduate the potential of the output node V1 between the 1st switch SW1 and the 2nd switch SW2. The 1st and 2nd switches SW1 and SW2 are formed in the serial between the 1st power source (it is described as "a power source Vdd" below) to which the potential Vdd as the 1st potential is supplied, and the 2nd power source (it is described as "a power source Vss" below) which supplies the potential Vss as the 2nd potential. Moreover, the smoothing circuit 4 is constituted by the coil 5 and the capacitor 7, and has further the parasitic capacitance 6 which consists of wiring capacity, a diffusion capacitance of a switch, parasitic capacitance of a coil, etc. The potential graduated by the smoothing circuit 4 is supplied to a load circuit 8 (it expresses as a current source by a diagram) from a node V2.

[0032] The actuation of a switching regulator shown in drawing 1 is fundamentally [ as the actuation of the conventional switching regulator shown in drawing 8 ] the same. That is, in principle, the switch control section 10 makes the 1st switch SW1 an ON state, when the PWM signal PWM is "L", and when the PWM signal PWM is "H", it makes the 2nd switch SW2 an ON state.

[0033] The switch control section 10 has the function which detects whether the potential of the output node V1 is over potential Vss, and the description of this operation gestalt is the point of making this detection result reflecting in control of the 2nd switch SW2. The switch control section 10 performs control of the 2nd switch SW2 according to the following conditions.

<Control of 2nd switch SW2> PWM=H it is — SW2 →ONif V1>Vss SW2 →OFF PWM, i.e., an PWM signal, makes the 2nd switch SW2 an ON state during the period of "H". However, when the potential of the output node V1 is over the 1st predetermined potential Vss, i.e., potential, the 2nd switch SW2 is compulsorily made into an OFF state.

[0034] when the 2nd switch SW2 is an ON state, while the current IL of a coil 5 is flowing to the node V2 side ( drawing 1 — setting — facing the right), the potential of a node V1 becomes lower than potential Vss by the on resistance of the 2nd switch SW2. on the other hand, while the current IL of a coil 5 is flowing to the output node V1 side ( drawing 1 — setting — the Hidari sense), the potential of the output node V1 becomes higher than potential Vss. That is, when the 2nd switch SW2 is an ON state, the sense of the current IL which flows a coil 5 can be detected with the potential of the output node V1.

[0035] With this operation gestalt, the sense of the current IL which flows a smoothing circuit 4 is detected with the potential of the output node V1 based on such knowledge. And when the 2nd switch SW2 is an ON state and the potential of the output node V1 is over potential Vss, it prevents that the current IL which flows a smoothing circuit 4 flows to the output node V1 side, and flows into a power source Vss by making it an OFF state for the 2nd switch SW2.

[0036] Drawing 2 is a timing chart which shows actuation when the load current Io of the switching regulator of drawing 1 is small. When drawing 11 which shows the actuation of a switching regulator shown in drawing 2 and drawing 10 is compared, there is no difference in change of the potential of the output node V1, the current IL of a coil 5, and the potential of a node V2 in any way. That is, the switching regulator of drawing 1 can realize intermittence mode actuation completely equivalent to the switching regulator of drawing 10 .

[0037] And in the conventional switching regulator shown in drawing 10 , since this operation gestalt is comparing the potential and potential Vss of the output node V1 to having added resistance 9 to smoothing circuit 4A, it is not necessary to add resistance to a smoothing circuit 4. For this reason, as compared with the configuration of drawing 8 , external components mark do not increase and direct-current-voltage loss when the load current is large does not increase, either.

[0038] Power conversion effectiveness when the load current is small can be improved without preparing resistance in a smoothing circuit as mentioned above according to this operation gestalt. . . Therefore, it becomes possible to migrate to the large range of the load current, and to maintain high power conversion effectiveness.

[0039] Moreover, the circuit which controls the 2nd switch SW2 in the switch control section 10 is constituted from drawing 1 by the comparator 11 which considers the potential and potential Vss of the output node V1 as an input, and AND circuit 12 which considers the output of a comparator 11, and the PWM signal PWM as an input. And the output signal of AND circuit 12 is used as a control signal of the 2nd switch SW2. Control of the 2nd switch SW2 concerning this operation gestalt is easily realizable with such a simple configuration. Of course, as long as the configuration of the circuit which controls the 2nd switch SW2 in the switch control section 10 is not restricted to what is shown in drawing 1 and can realize same control, they may be other configurations.

[0040] (2nd operation gestalt) Drawing 3 is drawing showing the configuration of the switching regulator concerning the 2nd operation gestalt of this invention. In drawing 3 , the same sign as drawing 1 is given

to drawing 1 and a common component, and the detailed explanation is omitted here.

[0041] The actuation of a switching regulator shown in drawing 3 is fundamentally [ as the actuation of a switching regulator shown in drawing 1 ] the same. The description of this operation gestalt is the point that switch control-section 10A performs new control of the 1st switch SW1 in addition to control of the 2nd switch SW2 concerning the 1st operation gestalt.

[0042] With both configurations of drawing 1 and configurations of conventional drawing 10 concerning the 1st operation gestalt, when the 1st and 2nd switches SW1 and SW2 were OFF states, by resonance of LC of a smoothing circuit, the potential of the output node V1 swayed greatly, and might exceed potential Vdd depending on the case. At this time, the charge was returned to the power source Vdd from the output node V1, and there was a problem that the power loss by the parasitism diode of the PMOS transistor which constitutes the 1st switch SW1 in this case will arise.

[0043] Drawing 4 is drawing showing the cross-section structure of a typical PMOS transistor. As shown in drawing 4 , the parasitism diode 31 is constituted between the drain field D of P type, and n mold well n-well. When the lower one of the threshold voltage of a PMOS transistor and the threshold voltage of the parasitism diode 31 is set to Vt, the potential of the output node V1 is limited mostly ( $Vdd+Vt$ ). Drawing 5 is drawing showing actuation when the potential of the output node V1 is limited to ( $Vdd+Vt$ ) in the configuration of drawing 10 .

[0044] Supposing the threshold voltage of the parasitism diode 31 is lower, when the potential of the output node V1 becomes higher than ( $Vdd+Vt$ ), a current will flow from the drain field D of the 1st switch SW1 to the forward direction of the parasitism diode 31 toward a power source Vdd through a substrate. At this time, power loss will arise by the equivalence on resistance of the parasitism diode 31.

[0045] So, with this operation gestalt, switch control-section 10A performs control of the 1st switch SW1 according to the following conditions so that the power loss by the 1st switch SW1 in an OFF state may not arise.

[0046] <control of 1st switch SW1> PWM=H it is — SW1 →OFFif  $V1>Vdd$  SW1 →ON PWM, i.e., an PWM signal, makes the 1st switch SW1 an OFF state during the period of "H". However, when the potential of the output node V1 is over the potential Vdd as 2nd predetermined potential, the 1st switch SW1 is made into an ON state still more compulsorily.

[0047] Although the power loss by the equivalence on resistance of the parasitism diode 31 of the 1st switch SW1 arises with the configuration of drawing 1 or drawing 10 in case the potential of the output node V1 becomes high too much and a charge is returned to a power source Vdd, the power loss at the time of a charge being returned to a power source Vdd is based on the on resistance of the 1st switch SW1 by the aforementioned control with this operation gestalt. since the on resistance of a PMOS transistor is far small compared with the identification on resistance of the parasitism diode 31, by control of the 1st switch SW1 concerning this operation gestalt, the power loss at the time of a charge being returned to a power source Vdd is boiled markedly, and becomes small.

[0048] Drawing 6 is a timing chart which shows actuation of the switching regulator of drawing 3 . As, shown in drawing 6 , the highest potential of the output node V1 is low restricted as compared with drawing 2 . This is because it is restricted by the on resistance of the 1st switch SW1 with the configuration of drawing 3 , although the highest potential of the output node V1 was restricted by the equivalence on resistance of the parasitism diode 31 with the configuration of drawing 1 or drawing 10 .

[0049] Since the power loss by the 1st switch SW1 of an OFF state can be prevented according to this operation gestalt as mentioned above even if it is the case where resonance phenomena arise in the potential of the output node V1 at the time of intermittence mode actuation, and a charge is returned to a power source Vdd, it becomes possible to realize power conversion effectiveness higher than before.

[0050] Moreover, the circuit which controls the 1st switch SW1 in switch control-section 10A is constituted from drawing 3 by the comparator 13 which considers the potential and potential Vdd of the output node V1 as an input, and AND circuit 14 which considers the output of a comparator 13, and the PWM signal PWM as an input. And the output signal of AND circuit 14 is used as a control signal of the

1st switch SW1. Control of the 1st switch SW1 concerning this operation gestalt is easily realizable with such a simple configuration. Of course, as long as the configuration of the circuit which controls the 1st switch SW1 in switch control-section 10A is not restricted to what is shown in drawing 3 and can realize same control, they may be other configurations.

[0051] In addition, although the reference potential for control of the 2nd switch SW2 was made into potential Vss with the 1st operation gestalt, it is good also considering potentials other than potential Vss as a reference potential. For example, in consideration of the time delay of the comparator 11 of drawing 1 etc., level slightly higher than potential Vss or slightly low level may be set up as a reference potential for control of the 2nd switch SW2. Moreover, although the reference potential for control of the 1st switch SW1 was made into potential Vdd with the 2nd operation gestalt, it is good also considering potentials other than potential Vdd as a reference potential. For example, in consideration of the time delay of the comparator 13 of drawing 3, level low for whether it being level frail \*\* slightly higher than potential Vdd may be set up as a reference potential for control of the 1st switch SW1.

[0052] Moreover, you may constitute possible [ a setup of the reference potential for control of the 2nd switch SW2 concerning the 1st operation gestalt ]. Since the ease of carrying out of the shift to intermittence mode actuation of a switching regulator changes with the value of this reference potential, setting modification of this reference potential enables it to adjust the ease of shifting to intermittence mode.

[0053] Drawing 7 is drawing showing the example of the LSI system constituted using the switching regulator concerning this invention. In drawing 7, LSI20 is equipped with the LSI core section 21 and the DC/DC converter 22, and is equipped with the smoothing circuit 4 as external components. 23a-23e are the pads of LSI20. The DC/DC converter 22 becomes the 1st and 2nd switches SW1 as shown with the 1st or 2nd operation gestalt, and SW2 list from the switch control sections 10 and 10A, and the switching regulator which starts this invention by DC / DC converter 22, and the smoothing circuit 4 is constituted. By actuation concerning the 1st or 2nd operation gestalt, the power-source potentials Vdd and Vss supplied to Pads 23a and 23b are transformed into an electrical potential difference V1, and the DC/DC converter 22 outputs them to pad 23c. A smoothing circuit 4 graduates the output voltage V1 of the DC/DC converter 22, and outputs it as an electrical potential difference V2. The output voltage V2 of a smoothing circuit 4 is supplied as an internal electrical power source electrical potential difference of the LSI core section 21.

[0054]

[Effect of the Invention] Intermittence mode actuation can be realized without preparing resistance in a smoothing circuit, since control which detects the sense of the current which flows a smoothing circuit with the potential of an output node, and makes the 2nd switch an OFF state using this detection result is performed as mentioned above according to this invention. Therefore, power conversion effectiveness when the load current is small can be improved without increasing direct-current power loss when the load current is large, without causing increase of components mark.

[0055] Moreover, the power loss by the 1st switch of an OFF state when the potential of an output node becomes high too much can be prevented.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the switching regulator concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the timing chart which shows actuation of the switching regulator of drawing 1 .

[Drawing 3] It is drawing showing the configuration of the switching regulator concerning the 2nd operation gestalt of this invention.

[Drawing 4] It is drawing showing the cross-section structure of a typical PMOS transistor.

[Drawing 5] It is the timing chart which shows actuation when the potential of the output node V1 is limited by the 1st switch SW1 of an OFF state of the switching regulator of drawing 10 .

[Drawing 6] It is the timing chart which shows actuation of the switching regulator of drawing 3 .

[Drawing 7] It is drawing showing the example of the LSI structure of a system using the switching regulator concerning this invention.

[Drawing 8] It is drawing showing the general configuration of the conventional switching regulator.

[Drawing 9] It is the timing chart which shows actuation of the switching regulator of drawing 8 , and (a) is a timing chart when the load current is large, and (b) is a timing chart when the load current is small.

[Drawing 10] It is drawing showing the configuration of the conventional switching regulator in which intermittence mode actuation is possible.

[Drawing 11] It is the timing chart which shows actuation of the switching regulator of drawing 10 .

[Description of Notations]

Vdd The 1st potential, the 1st power source

Vss The 2nd potential, the 2nd power source

SW1 The 1st switch

SW2 The 2nd switch

V1 Output node

PWM PWM signal

4 Smoothing Circuit

10 10A Switch control section

20 LSI

21 LSI Core Section

22 DC/DC Converter

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-92824

(P2000-92824A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.<sup>7</sup>

H 02 M 3/155

識別記号

F I

H 02 M 3/155

テマコード(参考)

H 5 H 7 3 0

審査請求 未請求 請求項の数 8 OL (全 10 頁)

(21)出願番号 特願平10-257102

(22)出願日 平成10年9月10日 (1998.9.10)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 崎山 史朗

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 梶原 準

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外2名)

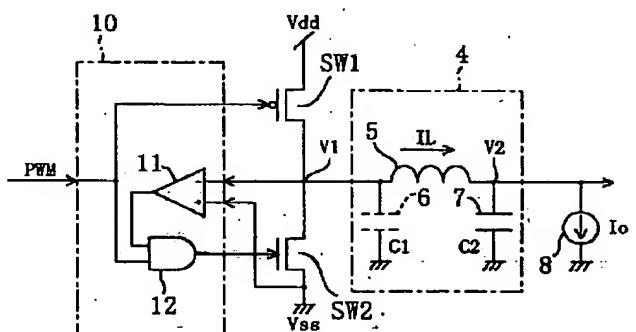
最終頁に続く

(54)【発明の名称】 スイッチングレギュレータおよびLSIシステム

(57)【要約】

【課題】 広範囲の負荷電流に対して、高い電力変換効率を実現するスイッチングレギュレータを提供する。

【解決手段】 電源V<sub>dd</sub>と電源V<sub>ss</sub>との間にスイッチSW1, SW2が直列に設けられている。スイッチ制御部10はスイッチSW2がオン状態の場合に、ノードV1の電位が電位V<sub>ss</sub>を越えているとき、スイッチSW2を強制的にオフ状態にする。すなわち、平滑回路4を流れる電流I<sub>L</sub>の向きをノードV1の電位によって検知し、電流I<sub>L</sub>が出力ノードV1側に流れて電源V<sub>ss</sub>に流れ込むことを防止して、電力変換効率の劣化を防ぐ。これにより、平滑回路4内に抵抗を設けないで断続モード動作を実現することができ、負荷電流が小さいときの電力変換効率を、負荷電流が大きいときの直流電力損失を増大させることなく改善することができる。



(2)

## 【特許請求の範囲】

【請求項1】 同期整流方式のスイッチングレギュレータであつて、

第1の電位を供給する第1の電源と前記第1の電位よりも低い第2の電位を供給する第2の電源との間に設けられ、互いに直列に配置された第1および第2のスイッチと、

制御信号に応じて、前記第1および第2のスイッチのオンオフを制御するスイッチ制御部と、

前記第1のスイッチと前記第2のスイッチとの間の出力ノードの電位を平滑化する平滑回路とを備え、

前記スイッチ制御部は、

前記制御信号の指示に従って前記第2のスイッチをオン状態にしている場合において、前記出力ノードの電位が第1の所定の電位を越えているときには、前記第2のスイッチをオフ状態にすることにより構成されているスイッチングレギュレータ。

【請求項2】 請求項1記載のスイッチングレギュレータにおいて、

前記第1の所定の電位は、前記第2の電位とほぼ等しい電位であることを特徴とするスイッチングレギュレータ。

【請求項3】 請求項1記載のスイッチングレギュレータにおいて、

前記スイッチ制御部は、

前記制御信号の指示に従って前記第1のスイッチをオフ状態にしている場合において、前記出力ノードの電位が第2の所定の電位を越えているときには、前記第1のスイッチをオン状態にすることにより構成されることを特徴とするスイッチングレギュレータ。

【請求項4】 請求項3記載のスイッチングレギュレータにおいて、

前記第2の所定の電位は、前記第1の電位とほぼ等しい電位であることを特徴とするスイッチングレギュレータ。

【請求項5】 同期整流方式のスイッチングレギュレータであつて、

第1の電位を供給する第1の電源と前記第1の電位よりも低い第2の電位を供給する第2の電源との間に設けられ、互いに直列に配置された第1および第2のスイッチと、

制御信号に応じて、前記第1および第2のスイッチのオンオフを制御するスイッチ制御部と、

前記第1のスイッチと前記第2のスイッチとの間の出力ノードの電位を平滑化する平滑回路とを備え、

前記スイッチ制御部は、

前記制御信号の指示に従って前記第1のスイッチをオフ状態にしている場合において、前記出力ノードの電位が所定の電位を越えているときには、前記第1のスイッチをオン状態にすることにより構成されているスイッチングレギュレータ。

2

ユレータ。

【請求項6】 請求項5記載のスイッチングレギュレータにおいて、

前記所定の電位は、前記第1の電位とほぼ等しい電位であることを特徴とするスイッチングレギュレータ。

【請求項7】 請求項1または5記載のスイッチングレギュレータにおいて、

前記第1および第2のスイッチは、トランジスタによって構成されていることを特徴とするスイッチングレギュレータ。

【請求項8】 請求項1または5記載のスイッチングレギュレータと、

前記スイッチングレギュレータから供給された電圧によって動作するLSIコア部とを備えたLSIシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スイッチングレギュレータに関し、特に、広い負荷電流の範囲にわたって高い電力変換効率で動作可能にするための制御や構成に関する。

## 【0002】

【従来の技術】図8は降圧型の同期整流方式のスイッチングレギュレータの一般的な構成を示す図である。図8に示すスイッチングレギュレータは「PWM降圧型スイッチングレギュレータ」と一般的に呼ばれる。すなわち、ノードV2の電位が目標電位に一致するように、PWM (Pulse Width modulation : パルス幅変調) 信号PWMによってフィードバック制御がかけられる。スイッチ制御部50はPWM信号PWMに応じて、第1および第2のスイッチSW1およびSW2のいずれかをオンさせる。ここでは、PWM信号PWMが“L”的とき第1のスイッチSW1をオンさせ、“H”的とき第2のスイッチSW2をオンさせるものとする。これにより、ノードV1には矩形状の出力波形が現れ、このノードV1の出力波形はLCによって構成された平滑回路4によって平滑化される。平滑化された電位はノードV2から負荷回路8に供給される。

【0003】 PWM信号PWMは、ノードV2の電位が目標電位よりも低いときは第1のスイッチSW1をオンさせ、高いときは第2のスイッチSW2をオンさせるように生成された、フィードバック制御の最終結果としての信号である。このようなフィードバック制御には多くの方式があるが、本発明の本質とは直接関係がないので本願明細書ではその詳細な説明は省略する。もちろん、フィードバック制御の代わりにフィードフォワード制御を用いる場合もある。

【0004】図9は図8に示すスイッチングレギュレータの動作を示すタイミングチャートである。同図中、

(a) は負荷電流Ioが大きいとき、(b) は負荷電流Ioが小さいときの動作を示している。図9に示すよう

(3)

3

に、第1のスイッチSW1がオンしているときはノードV1の電位はほぼ電位Vddになり、一方、第2のスイッチSW2がオンしているときはノードV1の電位はほぼ電位Vssになる。図9ではノードV1の電位は電位Vdd, Vssからずれているが、これは第1および第\*

$$\eta = (Ave(V2) \times Io) / (Vdd \times Ii) \quad \dots (1)$$

ここで、Ave(V2)はノードV2の平均出力電圧、Iiは入力電流である。各素子が理想的であれば、

$$Ave(V2) \times Io = Vdd \times Ii \quad \dots (2)$$

となり、電力変換効率 $\eta$ は100%になる。ところが実際の回路では、スイッチングトランジスタのオン抵抗、コイルの寄生抵抗、配線抵抗またはコンデンサの等価直列抵抗のような様々な抵抗成分によって電力を損失する※

$$\eta = (Ave(V2) \times Io) / (Ave(V2) \times Io + Ross) \quad \dots (3)$$

そして抵抗成分の損失Rossは、大きく直流電力損失RossDと交流電力損失RossAとに分けることが★

$$RossD = Ave(Io) \times Ave(Io) \times R \quad \dots (4)$$

$$RossA = \Delta I \times \Delta I \times R / 12 \quad \dots (5)$$

ここで、Ave(Io)は平均負荷電流、 $\Delta I$ は最大電流リップル、Rは電流バス上に存在する全抵抗成分の和を表している。抵抗成分Rが零であれば損失Rossも零になり、電力変換効率 $\eta$ は100%になるが、実際には抵抗成分Rの値は0.5Ω～1Ω程度であり、これが電力変換効率低下の原因になる。

【0007】式(4)から分かるように、直流電力損失RossDは負荷電流Ioが大きいほど大きくなる。また、最大電流リップル $\Delta I$ の値は負荷電流Ioの大きさによらず一定であるため、式(5)から分かるように、交流電力損失RossAは負荷電流Ioの大きさには依存しない。

【0008】式(3)～(5)から、スイッチングレギュレータの電力変換効率 $\eta$ は負荷電流Ioの大きさに応じて変化し、電力変換効率 $\eta$ が最も高くなる負荷電流Ioのポイントいわゆる最適点が存在することが分かる。換言すれば、負荷電流Ioが最適点から小さくなるにつれて、または大きくなるにつれて、スイッチングレギュレータの電力変換効率 $\eta$ は劣化することになる。

【0009】

【発明が解決しようとする課題】ところが、スイッチングレギュレータとしては、高い電力変換効率を広範囲な負荷電流に対して維持できるのが好ましい。特に半導体集積回路では、負荷電流が小さい場合であってもある程度の電力変換効率を維持できるスイッチングレギュレータが必要とされる。

【0010】このようなニーズに対して、図10に示すような構成がすでに提案されている(B. Murari他「Smart Power ICs」pp334-336, Springer, 1995)。図10の構成では、コイル5に流れる電流ILの向きを検知する目的で、平滑回路4AのノードV2とV3との間に抵抗9

\* 2のスイッチSW1, SW2のオン抵抗が零でないため電位降下が生じるからである。

【0005】スイッチングレギュレータの電力変換効率 $\eta$ は式(1)のように表すことができる。

$$\eta = (Ave(V2) \times Io) / (Vdd \times Ii) \quad \dots (1)$$

※ため、電力変換効率 $\eta$ は100%よりも低くなる。なお、抵抗成分による損失以外にも、スイッチングトランジスタのゲート容量を駆動するための電力損失やスイッチングトランジスタのスイッチングによる基板電流損失等が存在するが、ここでは考慮しないものとする。

【0006】抵抗成分による損失をRossとする、電力変換効率 $\eta$ は式(3)のようになる。

$$\eta = (Ave(V2) \times Io) / (Ave(V2) \times Io + Ross) \quad \dots (3)$$

★でき、それぞれ式(4), (5)のように表すことができる。

$$RossD = Ave(Io) \times Ave(Io) \times R \quad \dots (4)$$

$$RossA = \Delta I \times \Delta I \times R / 12 \quad \dots (5)$$

20 ここで、Ave(Io)は平均負荷電流、 $\Delta I$ は最大電流リップル、Rは電流バス上に存在する全抵抗成分の和を表している。抵抗成分Rが零であれば損失Rossも零になり、電力変換効率 $\eta$ は100%になるが、実際には抵抗成分Rの値は0.5Ω～1Ω程度であり、これが電力変換効率低下の原因になる。

【0007】式(4)から分かるように、直流電力損失RossDは負荷電流Ioが大きいほど大きくなる。また、最大電流リップル $\Delta I$ の値は負荷電流Ioの大きさによらず一定であるため、式(5)から分かるように、交流電力損失RossAは負荷電流Ioの大きさには依存しない。

【0008】式(3)～(5)から、スイッチングレギュレータの電力変換効率 $\eta$ は負荷電流Ioの大きさに応じて変化し、電力変換効率 $\eta$ が最も高くなる負荷電流Ioのポイントいわゆる最適点が存在することが分かる。換言すれば、負荷電流Ioが最適点から小さくなるにつれて、または大きくなるにつれて、スイッチングレギュレータの電力変換効率 $\eta$ は劣化することになる。

【0009】

【発明が解決しようとする課題】ところが、スイッチングレギュレータとしては、高い電力変換効率を広範囲な負荷電流に対して維持できるのが好ましい。特に半導体集積回路では、負荷電流が小さい場合であってもある程度の電力変換効率を維持できるスイッチングレギュレータが必要とされる。

【0010】このようにニーズに対して、図10に示すような構成がすでに提案されている(B. Murari他「Smart Power ICs」pp334-336, Springer, 1995)。図10の構成では、コイル5に流れる電流ILの向きを検知する目的で、平滑回路4AのノードV2とV3との間に抵抗9

が挿入されている。すなわち、抵抗9の両端の電位すなわちノードV2, V3の電位を比較し、ノードV3の電位がノードV2の電位よりも高いときはコイル5の電流ILの向きは右向きであると判定し、ノードV3の電位がノードV2の電位よりも低いときはコイル5の電流ILの向きは左向きであると判定する。

【0011】スイッチ制御部60は抵抗9の両端の電位を比較する比較器61と、比較器61の出力とPWM信号PWMとを入力とするAND回路62とを備え、AND回路62の出力信号を第2のスイッチSW2の制御信号として出力する。すなわち、スイッチ制御部60は次のような制御を行う。PWM信号PWMが“H”の期間中は第2のスイッチSW2をオンさせる。ただし、ノードV3の電位がノードV2の電位よりも低いときは強制的に第2のスイッチSW2をオフする。このような制御方法をとることによって、負荷電流が小さいときの電力変換効率は、以下の理由によって大幅に改善される。

1.  $\Delta I$ が小さくなるため、交流電力損失が小さくなる。

【0012】2. 電流ILが電源Vssに流れ込まないため、第1のスイッチSW1のオン期間にコンデンサ7に充電した電荷が負荷電流Ioとして消費される時間は、図8の構成と比較して長くなる。

【0013】理由1では交流損失を、理由2ではスイッチングトランジスタのゲート容量を駆動するための電力損失を少なくでき、ともに、負荷電流Ioが小さいときの電力変換効率を改善させる。負荷電流Ioが大きいときは、コイル5の電流ILの向きは常に右向きになるため、図10のスイッチングレギュレータの動作は図8のスイッチングレギュレータの動作と等しくなる。

【0014】図11は図10に示すスイッチングレギュ

(4)

5

レータの、負荷電流  $I_o$  が小さいときの動作を示すタイミングチャートである。図11を図9 (b) と比較すると分かるように、図8の構成では第1および第2のスイッチ SW1, SW2 のいずれかが必ずオンしていたのに對し、図10の構成では第1および第2のスイッチ SW1, SW2 のいずれもオンしないという状態が存在する。図10に示すスイッチ制御部 60 は、第2のスイッチ SW2 がオンしている場合にコイル5の電流  $I_L$  が左向きに流れているときは、第2のスイッチ SW2 を強制的にオフするため、それ以降は第1および第2のスイッチ SW1, SW2 がいずれもオフ状態になる。このとき、ノード V1 の電位は、コイル5と寄生容量 6 によって決定される共振周波数で振動する。またそのときのコイルに流れる電流  $I_L$  は、零電流を中心として振動する。

【0015】スイッチングレギュレータでは、図11に示すような負荷電流が小さいときの動作を断続モードと呼び、また図9に示すような負荷電流が大きいときの動作を連続モードと呼ぶ。連続モードと断続モードとを併せもつ図10のような構成は広く用いられている。

【0016】しかし、図10の構成では次のような欠点がある。

【0017】まず、部品点数が増大する。現在の半導体技術では、コイルや大容量コンデンサを集積する技術は確立していない。このため、図10のスイッチングレギュレータを構成する場合、コイル5やコンデンサ7は半導体集積回路の外付け部品として設ける必要がある。このため、抵抗9もまた外付け部品として設けなければならず、図8の構成と比較して部品点数が増大することになる。

【0018】また、平滑回路4A内に抵抗9を設けるので、負荷電流が大きいときの電力変換効率の劣化を招くことになる。すなわち、抵抗9の抵抗値  $R_1$  は、元の寄生抵抗に加算されて、負荷電流が大きいときの直流電力損失を増大させる要因となり、電力変換効率を劣化させることになる。

【0019】前記の問題に鑑み、本発明は、スイッチングレギュレータとして、部品点数の増大を招くことなく、かつ、負荷電流が大きいときの直流電力損失を増大させないで、負荷電流が小さいときの電力変換効率を改善することを課題とする。

【0020】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が講じた解決手段は、同期整流方式のスイッチングレギュレータとして、第1の電位を供給する第1の電源と前記第1の電位よりも低い第2の電位を供給する第2の電源との間に設けられ、互いに直列に配置された第1および第2のスイッチと、制御信号に応じて前記第1および第2のスイッチのオンオフを制御するスイッチ制御部と、前記第1のスイッチと前記第2

6

のスイッチとの間の出力ノードの電位を平滑化する平滑回路とを備え、前記スイッチ制御部は、前記制御信号の指示に従って前記第2のスイッチをオン状態にしている場合において、前記出力ノードの電位が第1の所定の電位を越えているときには、前記第2のスイッチをオフ状態にするよう構成されているものである。

【0021】請求項1の発明によると、第2のスイッチがオン状態の場合において、出力ノードの電位が第1の所定の電位を越えているときには、第2のスイッチはオフ状態になる。すなわち、平滑回路を流れる電流の向きを出力ノードの電位によって検知し、平滑回路を流れる電流が出力ノード側に流れて第2の電源に流れ込むことを、第2のスイッチをオフ状態にすることによって防止する。これにより、平滑回路内に抵抗を設けないで、断続モード動作を実現することができる。したがって、部品点数の増大を招くことなく、かつ、負荷電流が大きいときの直流電力損失を増大させないで、負荷電流が小さいときの電力変換効率を改善することができる。

【0022】そして、請求項2の発明では、前記請求項1のスイッチングレギュレータにおける第1の所定の電位は、前記第2の電位とほぼ等しい電位とする。

【0023】また、請求項3の発明では、前記請求項1のスイッチングレギュレータにおけるスイッチ制御部は、前記制御信号の指示に従って前記第1のスイッチをオフ状態にしている場合において、前記出力ノードの電位が第2の所定の電位を越えているときには、前記第1のスイッチをオン状態にするよう構成されているものとする。

【0024】請求項3の発明によると、第1のスイッチがオフ状態の場合において、出力ノードの電位が第2の所定の電位を越えているときには、第1のスイッチはオン状態になる。すなわち、出力ノードの電位が過度に高くなり、オフ状態にある第1のスイッチを介して第1の電源に電荷が流れこむおそれがあるとき、第1のスイッチをオン状態にして第1のスイッチの抵抗値を小さくする。これにより、出力ノードの電位が過度に高くなったりの、オフ状態の第1のスイッチによる電力損失を防ぐことができる。

【0025】そして、請求項4の発明では、前記請求項3のスイッチングレギュレータにおける第2の所定の電位は、前記第1の電位とほぼ等しい電位とする。

【0026】また、請求項5の発明が講じた解決手段は、同期整流方式のスイッチングレギュレータとして、第1の電位を供給する第1の電源と前記第1の電位よりも低い第2の電位を供給する第2の電源との間に設けられ、互いに直列に配置された第1および第2のスイッチと、制御信号に応じて前記第1および第2のスイッチのオンオフを制御するスイッチ制御部と、前記第1のスイッチと前記第2のスイッチとの間の出力ノードの電位を平滑化する平滑回路とを備え、前記スイッチ制御部は、

(5)

7

前記制御信号の指示に従って前記第1のスイッチをオフ状態にしている場合において、前記出力ノードの電位が第2の所定の電位を越えたときには、前記第1のスイッチをオン状態にする構成されているものである。

【0027】そして、請求項6の発明では、前記請求項5のスイッチングレギュレータにおける第2の所定の電位は、前記第1の電位とほぼ等しい電位とする。

【0028】また、請求項7の発明では、前記請求項1または5のスイッチングレギュレータにおける第1および第2のスイッチは、トランジスタによって構成されているものとする。

【0029】さらに、請求項8の発明は、LSIシステムとして、前記請求項1または5のスイッチングレギュレータと、前記スイッチングレギュレータから供給された電圧によって動作するLSIコア部とを備えたものである。

【0030】

【発明の実施の形態】(第1の実施形態)図1は本発明の第1の実施形態に係るスイッチングレギュレータの構成を示す図である。図1において、図8に示す従来のスイッチングレギュレータと共通の構成要素には図8と同一の符号を付している。

【0031】図1において、SW1はPMOSトランジスタからなる第1のスイッチ、SW2はNMOSトランジスタからなる第2のスイッチ、10は制御信号としてのPWM信号PWMに応じて第1および第2のスイッチSW1、SW2を制御するスイッチ制御部、4は第1のスイッチSW1と第2のスイッチSW2との間の出力ノードV1の電位を平滑化する平滑回路である。第1および第2のスイッチSW1、SW2は、第1の電位としての電位Vddを供給する第1の電源(以下「電源Vdd」と記す)と第2の電位としての電位Vssを供給する第2の電源(以下「電源Vss」と記す)との間に、直列に設けられている。また平滑回路4はコイル5およびコンデンサ7によって構成されており、さらに、配線容量やスイッチの拡散容量、コイルの寄生容量等からなる寄生容量6を有している。平滑回路4によって平滑化された電位はノードV2から負荷回路8(図では電流源として表している)に供給される。

【0032】図1に示すスイッチングレギュレータの動作は、図8に示す従来のスイッチングレギュレータの動作と基本的には同様である。すなわち、スイッチ制御部10は、原則として、PWM信号PWMが“L”的ときは第1のスイッチSW1をオン状態にし、PWM信号PWMが“H”的ときは第2のスイッチSW2をオン状態にする。

【0033】本実施形態の特徴は、スイッチ制御部10が、出力ノードV1の電位が電位Vssを越えているか否かを検知する機能を有しており、この検知結果を第2のスイッチSW2の制御に反映させる点である。スイッ

(5)

8

チ制御部10は、第2のスイッチSW2の制御を、以下のような条件に従って行う。

〈第2のスイッチSW2の制御〉

PWM=H なら SW2→ON

i f V1 > Vss SW2→OFF

すなわち、PWM信号PWMが“H”的期間中は第2のスイッチSW2をオン状態にする。ただし、出力ノードV1の電位が第1の所定の電位すなわち電位Vssを越えているときは、強制的に第2のスイッチSW2をオフ状態にする。

【0034】第2のスイッチSW2がオン状態の場合、コイル5の電流ILがノードV2側に(図1において右向きに)流れているときは、第2のスイッチSW2のオン抵抗によってノードV1の電位は電位Vssよりも低くなる。一方、コイル5の電流ILが出力ノードV1側に(図1において左向きに)流れているときは、出力ノードV1の電位は電位Vssよりも高くなる。すなわち、第2のスイッチSW2がオン状態のとき、コイル5を流れる電流ILの向きは、出力ノードV1の電位によって検知することができる。

【0035】本実施形態では、このような知見に基づき、平滑回路4を流れる電流ILの向きを出力ノードV1の電位によって検知する。そして、第2のスイッチSW2がオン状態の場合において、出力ノードV1の電位が電位Vssを越えているとき、平滑回路4を流れる電流ILが出力ノードV1側に流れ電源Vssに流れ込むことを、第2のスイッチSW2をオフ状態にすることによって防止する。

【0036】図2は図1のスイッチングレギュレータの負荷電流Ioが小さいときの動作を示すタイミングチャートである。図2と図10に示すスイッチングレギュレータの動作を示す図11とを比較すると、出力ノードV1の電位、コイル5の電流ILおよびノードV2の電位の変化には何ら違いはない。すなわち、図1のスイッチングレギュレータは、図10のスイッチングレギュレータと全く同等の断続モード動作を実現できる。

【0037】しかも、図10に示す従来のスイッチングレギュレータでは、平滑回路4Aに抵抗9を付加していたのに対し、本実施形態では、出力ノードV1の電位と電位Vssとを比較しているので、平滑回路4に抵抗を付加する必要がない。このため図8の構成と比較して、外付け部品点数が増大することなく、また、負荷電流が大きいときの直流電圧損失も増大することはない。

【0038】以上のように本実施形態によると、平滑回路に抵抗を設けることなく、負荷電流が小さいときの電力変換効率を改善することができる。したがって、負荷電流の広い範囲にわたって、高い電力変換効率を維持することが可能になる。

【0039】また図1では、スイッチ制御部10内の第2のスイッチSW2を制御する回路は、出力ノードV1

(6)

9

の電位と電位  $V_{ss}$  を入力とする比較器 1 1 と、比較器 1 1 の出力と PWM 信号 PWM を入力とする AND 回路 1 2 とによって構成されている。そして AND 回路 1 2 の出力信号が第 2 のスイッチ SW 2 の制御信号として用いられている。このような簡易な構成によって、本実施形態に係る第 2 のスイッチ SW 2 の制御を容易に実現することができる。もちろん、スイッチ制御部 1 0 内の第 2 のスイッチ SW 2 を制御する回路の構成は図 1 に示すものに限られるものではなく、同様の制御が実現できるものであれば他の構成であってもかまわない。

【0040】(第 2 の実施形態) 図 3 は本発明の第 2 の実施形態に係るスイッチングレギュレータの構成を示す図である。図 3 において、図 1 と共通の構成要素には図 1 と同一の符号を付しており、ここではその詳細な説明を省略する。

【0041】図 3 に示すスイッチングレギュレータの動作は、図 1 に示すスイッチングレギュレータの動作と基本的には同様である。本実施形態の特徴は、スイッチ制御部 1 0 A が第 1 の実施形態に係る第 2 のスイッチ SW 2 の制御に加えて、第 1 のスイッチ SW 1 の新たな制御を行う点である。

【0042】第 1 の実施形態に係る図 1 の構成や従来の図 1 0 の構成では、第 1 および第 2 のスイッチ SW 1, SW 2 がともにオフ状態のとき、平滑回路の LC の共振によって出力ノード V 1 の電位が大きく振れて、場合によっては電位  $V_{dd}$  を越えてしまうことがあった。このとき、出力ノード V 1 から電源  $V_{dd}$  に電荷が戻され、この際に、第 1 のスイッチ SW 1 を構成する PMOS ドバイア二極管の寄生ダイオードによる電力損失が生じてしまうという問題があった。

【0043】図 4 は典型的な PMOS ドバイア二極管の断面構造を示す図である。図 4 に示すように、P 型のドレイン領域 D と n 型ウェル n-well との間に寄生ダイオード 3 1 が構成されている。PMOS ドバイア二極管の閾値電圧および寄生ダイオード 3 1 の閾値電圧のうちの低い方を  $V_t$  とすると、出力ノード V 1 の電位はほぼ  $(V_{dd} + V_t)$  でリミットされる。図 5 は図 1 0 の構成において、出力ノード V 1 の電位が  $(V_{dd} + V_t)$  にリミットされたときの動作を示す図である。

【0044】寄生ダイオード 3 1 の閾値電圧の方が低いとすると、出力ノード V 1 の電位が  $(V_{dd} + V_t)$  よりも高くなったときは第 1 のスイッチ SW 1 のドレイン領域 D から基板を通して電源  $V_{dd}$  に向かって、すなわち寄生ダイオード 3 1 の順方向に電流が流れる。このとき、寄生ダイオード 3 1 の等価オン抵抗によって電力損失が生じてしまう。

【0045】そこで本実施形態では、オフ状態にある第 1 のスイッチ SW 1 による電力損失が生じないように、スイッチ制御部 1 0 A は、第 1 のスイッチ SW 1 の制御を、以下のような条件に従って行う。

10

【0046】<第 1 のスイッチ SW 1 の制御>

PWM=H なら SW 1 → OFF

if  $V_1 > V_{dd}$  SW 1 → ON

すなわち、PWM 信号 PWM が “H” の期間中は第 1 のスイッチ SW 1 をオフ状態にする。ただし、出力ノード V 1 の電位が第 2 の所定の電位としての電位  $V_{dd}$  を越えているときは、さらに強制的に第 1 のスイッチ SW 1 をオン状態にする。

【0047】図 1 や図 1 0 の構成では、出力ノード V 1 の電位が過度に高くなり電荷が電源  $V_{dd}$  に戻される際には、第 1 のスイッチ SW 1 の寄生ダイオード 3 1 の等価オン抵抗による電力損失が生じるが、本実施形態では前記の制御によって、電荷が電源  $V_{dd}$  に戻される際の電力損失は第 1 のスイッチ SW 1 のオン抵抗によるものになる。PMOS ドバイア二極管のオン抵抗は寄生ダイオード 3 1 の等価オン抵抗に比べてはるかに小さいので、電荷が電源  $V_{dd}$  に戻される際の電力損失は、本実施形態に係る第 1 のスイッチ SW 1 の制御によって格段に小さくなる。

【0048】図 6 は図 3 のスイッチングレギュレータの動作を示すタイミングチャートである。図 6 に示すように、出力ノード V 1 の最高電位は図 2 と比較して低く制限されている。これは、出力ノード V 1 の最高電位は、図 1 や図 1 0 の構成では寄生ダイオード 3 1 の等価オン抵抗によって制限されていたが、図 3 の構成では第 1 のスイッチ SW 1 のオン抵抗によって制限されるからである。

【0049】以上のように本実施形態によると、断続モード動作時に出力ノード V 1 の電位に共振現象が生じて電源  $V_{dd}$  に電荷が戻される場合であっても、オフ状態の第 1 のスイッチ SW 1 による電力損失を防ぐことができるので、従来よりも高い電力変換効率を実現することができる。

【0050】また図 3 では、スイッチ制御部 1 0 A 内の第 1 のスイッチ SW 1 を制御する回路は、出力ノード V 1 の電位と電位  $V_{dd}$  を入力とする比較器 1.3 と、比較器 1.3 の出力と PWM 信号 PWM を入力とする AND 回路 1.4 とによって構成されている。そして AND 回路 1.4 の出力信号が第 1 のスイッチ SW 1 の制御信号として用いられている。このような簡易な構成によって、本実施形態に係る第 1 のスイッチ SW 1 の制御を容易に実現することができる。もちろん、スイッチ制御部 1 0 A 内の第 1 のスイッチ SW 1 を制御する回路の構成は図 3 に示すものに限られるものではなく、同様の制御が実現できるものであれば他の構成であってもかまわない。

【0051】なお第 1 の実施形態では第 2 のスイッチ SW 2 の制御のための基準電位を電位  $V_{ss}$  としたが、電位  $V_{ss}$  以外の電位を基準電位としてもよい。例えば図 1 の比較器 1.1 の遅延時間等を考慮して、電位  $V_{ss}$  よりもわずかに高いレベルまたはわずかに低いレベルを第

(7)

11

2のスイッチSW2の制御のための基準電位として設定してもよい。また第2の実施形態では第1のスイッチSW1の制御のための基準電位を電位Vddとしたが、電位Vdd以外の電位を基準電位としてもよい。例えば図3の比較器13の遅延時間を考慮して、電位Vddよりもわずかに高いレベルやわざかに低いレベルを第1のスイッチSW1の制御のための基準電位として設定してもよい。

【0052】また、第1の実施形態に係る第2のスイッチSW2の制御のための基準電位を設定可能に構成してもよい。この基準電位の値によってスイッチングレギュレータの断続モード動作への移行のしやすさが変わるので、この基準電位の設定変更により、断続モードへの移行しやすさを調整することが可能になる。

【0053】図7は本発明に係るスイッチングレギュレータを用いて構成されたLSIシステムの例を示す図である。図7において、LSI20はLSIコア部21とDC/DC変換器22とを備えており、外付け部品として平滑回路4を備えている。23a～23eはLSI20のパッドである。DC/DC変換器22は例え第一1または第二2の実施形態で示したような、第一1および第二2のスイッチSW1, SW2並びにスイッチ制御部10, 10Aからなるものであり、DC/DC変換器22および平滑回路4によって本発明に係るスイッチングレギュレータが構成されている。DC/DC変換器22はパッド23a, 23bに供給された電源電位Vdd, Vssを第一1または第二2の実施形態に係る動作によって電圧V1に変換し、パッド23cに出力する。平滑回路4はDC/DC変換器22の出力電圧V1を平滑化して電圧V2として出力する。平滑回路4の出力電圧V2は、LSIコア部21の内部電源電圧として供給される。

【0054】

【発明の効果】以上のように本発明によると、平滑回路を流れる電流の向きを出力ノードの電位によって検知し、この検知結果を用いて第二2のスイッチをオフ状態にする制御を行うので、平滑回路内に抵抗を設けることなく、断続モード動作を実現することができる。したがって、部品点数の増大を招くことなく、かつ、負荷電流が大きいときの直流電力損失を増大させないで、負荷電流が小さいときの電力変換効率を改善することができる。

【0055】また、出力ノードの電位が過度に高くなつ

12

たときの、オフ状態の第一1のスイッチによる電力損失を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るスイッチングレギュレータの構成を示す図である。

【図2】図1のスイッチングレギュレータの動作を示すタイミングチャートである。

【図3】本発明の第2の実施形態に係るスイッチングレギュレータの構成を示す図である。

10 【図4】典型的なPMOSトランジスタの断面構造を示す図である。

【図5】図10のスイッチングレギュレータの、オフ状態の第一1のスイッチSW1によって出力ノードV1の電位がリミットされたときの動作を示すタイミングチャートである。

【図6】図3のスイッチングレギュレータの動作を示すタイミングチャートである。

【図7】本発明に係るスイッチングレギュレータを用いたLSIシステムの構成例を示す図である。

20 【図8】従来のスイッチングレギュレータの一般的な構成を示す図である。

【図9】図8のスイッチングレギュレータの動作を示すタイミングチャートであり、(a)は負荷電流が大きいときのタイミングチャート、(b)は負荷電流が小さいときのタイミングチャートである。

【図10】断続モード動作が可能な従来のスイッチングレギュレータの構成を示す図である。

【図11】図10のスイッチングレギュレータの動作を示すタイミングチャートである。

30 【符号の説明】

Vdd 第1の電位、第1の電源

Vss 第2の電位、第2の電源

SW1 第1のスイッチ

SW2 第2のスイッチ

V1 出力ノード

PWM PWM信号

4 平滑回路

10, 10A スイッチ制御部

20 LSI

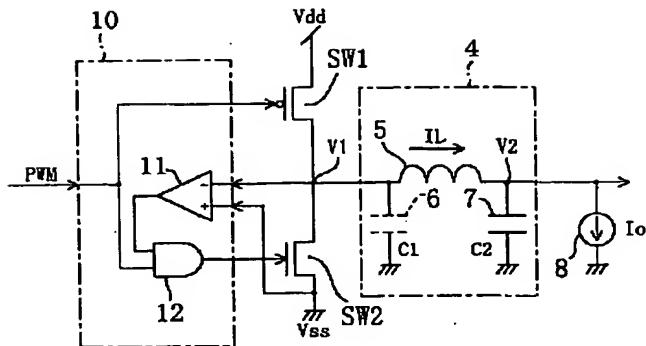
21 LSIコア部

22 DC/DC変換器

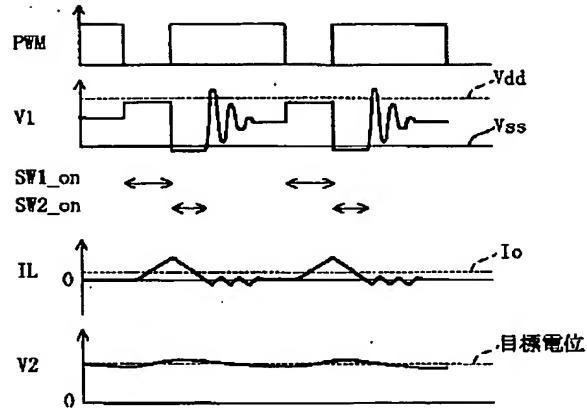
40

(8)

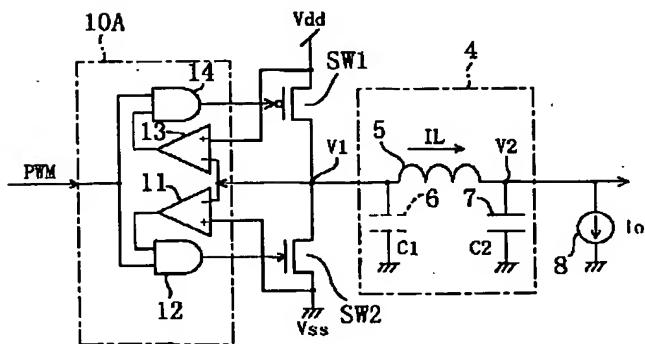
【図1】



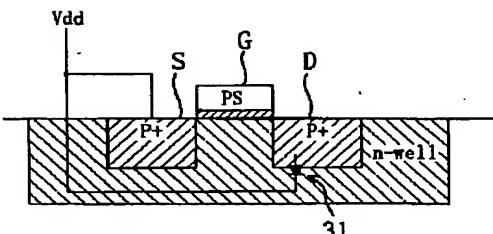
【図2】



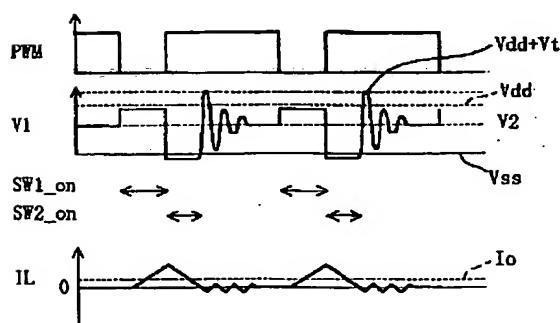
【図3】



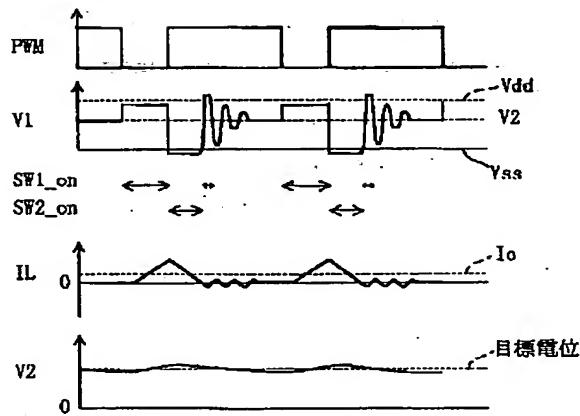
【図4】



【図5】

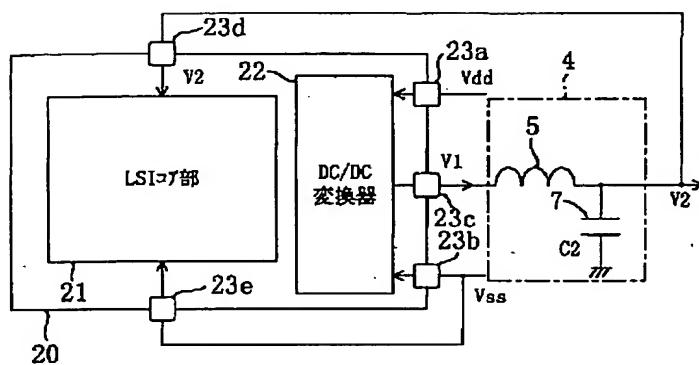


【図6】

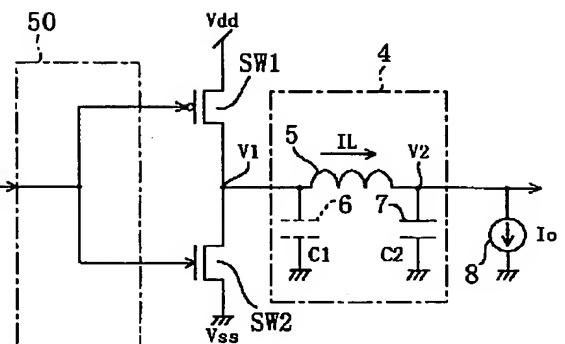


(9)

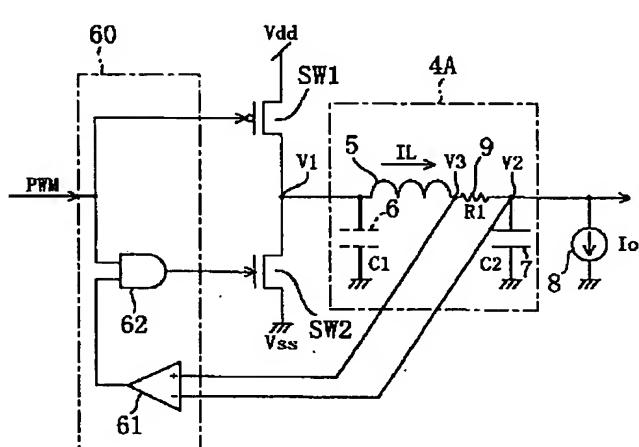
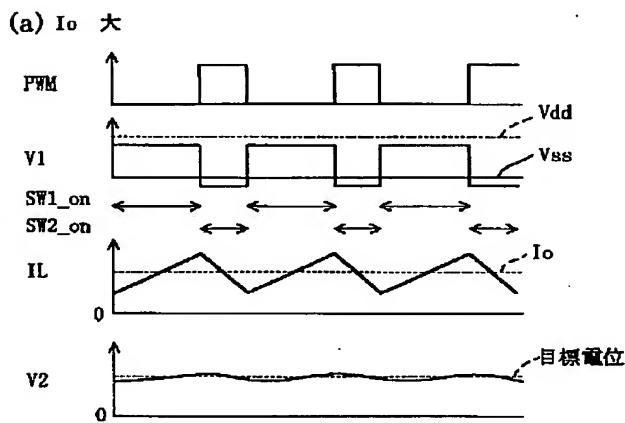
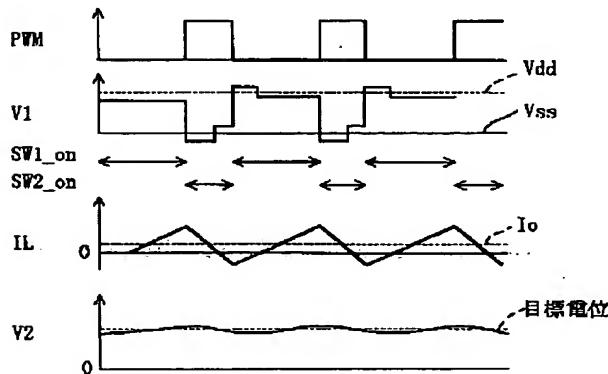
【図7】



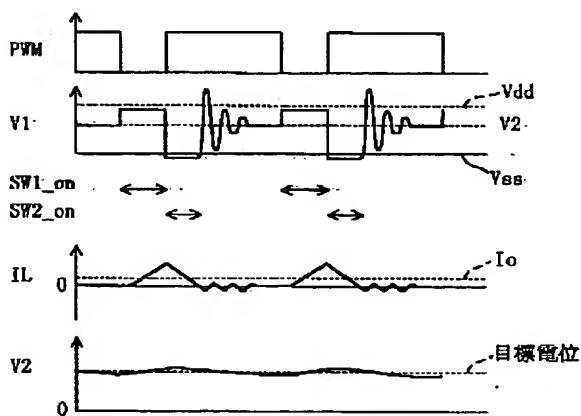
【図8】



【図9】

(b)  $I_o$  小

【図10】



【図11】

(10)

フロントページの続き

(72)発明者 木下 雅善  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 里見 勝治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 山本 裕雄  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 山本 明  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 中平 博幸  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 5H730 AA14 AS01 AS05 BB13 DD04  
DD26 DD32 EE13 EE19 FD01  
FD31 FF01 FG05 FV02

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**